

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

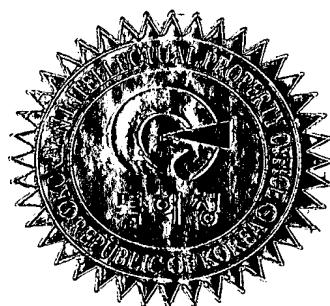
출원번호 : 10-2003-0012326

Application Number

출원년월일 : 2003년 02월 27일

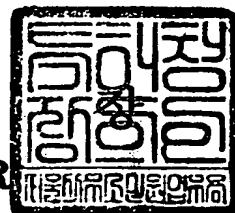
Date of Application

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 15 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.27
【국제특허분류】	H01L
【발명의 명칭】	전극 표면에 대한 다단계 습식 처리 과정을 도입한 커패시터 제조 방법
【발명의 영문명칭】	Method for manufacturing capacitor with multi-stepped wet treatment to surface of electrode
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	원석준
【성명의 영문표기】	WON, Seok Jun
【주민등록번호】	700217-1067321
【우편번호】	151-057
【주소】	서울특별시 관악구 봉천7동 1603-25 1/8
【국적】	KR
【발명자】	
【성명의 국문표기】	정정희
【성명의 영문표기】	CHUNG, Jung Hee
【주민등록번호】	680609-2010311

【우편번호】	130-012
【주소】	서울특별시 동대문구 청량리2동 57-5
【국적】	KR
【발명자】	
【성명의 국문표기】	정용국
【성명의 영문표기】	JEONG, Yong Kuk
【주민등록번호】	720108-1811223
【우편번호】	151-832
【주소】	서울특별시 관악구 봉천11동 1651-25 801호
【국적】	KR
【발명자】	
【성명의 국문표기】	오세훈
【성명의 영문표기】	OH, Se Hoon
【주민등록번호】	750503-1476211
【우편번호】	336-862
【주소】	충청남도 아산시 읍봉면 동천리 1리 176번지
【국적】	KR
【발명자】	
【성명의 국문표기】	권대진
【성명의 영문표기】	KWON, Dae Jin
【주민등록번호】	721115-1320914
【우편번호】	152-055
【주소】	서울특별시 구로구 구로5동 20/8 23,24번지 구로우성아파트 1-1211
【국적】	KR
【발명자】	
【성명의 국문표기】	유차영
【성명의 영문표기】	YOO, Cha Young
【주민등록번호】	641217-1254226
【우편번호】	441-460
【주소】	경기도 수원시 권선구 금곡동 530번지 엘지빌리지 203동 1302호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	14	면	14,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	20	항	749,000	원
【합계】			792,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

전극 표면에 대한 다단계 습식 처리 과정을 도입한 커패시터 제조 방법을 제공한다. 본 발명의 일 관점에 의한 방법은, 커패시터의 하부 금속 전극을 형성하고, 하부 금속 전극 표면에 원하지 않게 존재할 수 있는 표면 산화층을 제거하기 위해 제1습식 처리하고, 제1습식 처리 단계에 사용되는 식각액과 다른 식각액을 사용하여 원하지 않게 존재할 수 있는 표면 유기물을 제거하기 위해서 제2습식 처리한다. 하부 금속 전극 상에 고유전 물질로 유전막을 형성하고, 상부 금속 전극을 형성하여 커패시터를 완성한다.

【대표도】

도 13

【명세서】**【발명의 명칭】**

전극 표면에 대한 다단계 습식 처리 과정을 도입한 커패시터 제조 방법{Method for manufacturing capacitor with multi-stepped wet treatment to surface of electrode}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 실시예에 의한 전극 표면에 대한 다단계 습식 처리 과정을 도입한 커패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 7 내지 도 9는 본 발명의 실시예에 의한 전극 표면에 대한 다단계 습식 처리 과정을 도입한 커패시터 제조 방법에 의해 구현되는 누설 전류 개선 효과를 설명하기 위해서 도시한 그래프들이다.

도 10 및 도 11은 본 발명의 실시예에 의한 전극 표면에 대한 다단계 습식 처리 과정을 도입한 커패시터 제조 방법에 의해 구현되는 파티클(particle) 제거 효과를 보여주는 사진들이다.

도 12는 본 발명의 실시예에 의한 전극 표면에 대한 다단계 습식 처리 과정을 도입한 커패시터 제조 방법에 의해 구현되는 물반점(water mark) 방지 효과를 보여주는 사진이다.

도 13은 본 발명의 실시예에 의한 바람직한 다단계 습식 처리 과정을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자 제조에 관한 것으로, 특히, MIM(Metal-Insulator-Metal)형 커패시터(capacitor)의 금속 전극 표면에 다단계 습식 처리 과정을 도입하여 커패시터의 특성을 개선할 수 있는 커패시터 제조 방법에 관한 것이다.

<7> 반도체 소자, 예컨대, 디램(DRAM) 소자는 소자의 성능 및 집적도가 향상됨에 따라 점차 그 디자인(design rule)이 급격히 감소되고 있다. 이에 따라, 커패시터를 보다 좁은 면적에 대해서 높은 커패시턴스를 구현할 수 있도록 형성하고자 하는 시도들이 매우 다양한 방법으로 제시되고 있다. 이러한 시도들 중의 하나가 MIM형 커패시터이다.

<8> 전형적인 MIM형 커패시터는 개략적으로 하부 금속 전극을 형성하고, 유전막을 형성한 후 열처리를 수행하고, 상부 금속 전극을 형성하는 공정으로 수행되고 있다. 그런데, 하부 금속 전극을 형성한 후 유전막을 형성하기 전의 하부 금속 전극이 겪는 환경 또는 과정들에 따라 커패시터의 특성의 변화가 발견되고 있다. 즉, 유전막을 형성하기 이전에, 하부 금속 전극이 노출되는 대기 환경 및 시간에 따라 완성된 커패시터의 특성 열화가 발견되고 있다.

<9> 또한, 유전막 증착 전에 진행되는 과정들에 따라 완성된 커패시터의 특성 열화가 발견되고 있다. 예컨대, 하부 금속 전극을 형성한 후 수행되는 전극 분리(node separation) 과정의 공정 이력에 따라서 금속 전극의 표면에 흡습 현상이 발생할 수 있다. 또한, 금속 전극 표면에 산화 환경에 따른 원하지 않는 산화막, 예컨대, 자연 산화

막(native oxide)이 발생될 수 있다. 또한, 금속 전극에의 유기물 흡착이 발생될 수 있다. 이러한 원하지 않게 금속 전극에 발생되는 현상들은 결국 금속 전극의 표면에 산소(O) 또는 탄소(C)를 함유하는 정크층(junk layer)을 형성하게 되고, 이러한 정크층은 금속과 유전체의 중간 정도의 성질을 가져 커패시터의 특성 열화를 유발하는 주요 요인으로 작용하게 된다.

<10> 상기한 바와 같은 정크층은 커패시터의 등가 산화막 값을 증가시키며, 전극과 유전막 간의 계면 특성을 매우 열화시켜 또한 유전막의 증착에도 좋지 않는 영향을 미칠 수 있다. 따라서, 이러한 정크층은 커패시터의 제조 과정 중에 효과적으로 제거되는 것이 커패시터의 특성 개선에 유리하다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는, MIM형 커패시터를 제조할 때 하부 금속 전극과 유전막 사이에 발생할 수 있는 정크층을 효과적으로 제거할 수 있는 다단계 처리 과정을 세정 단계로 도입하여 커패시터의 특성을 효과적으로 개선하는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<12> 상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, MIM형 커패시터를 제조할 때 하부 금속 전극과 유전막 사이에 발생할 수 있는 정크층(junk layer)을 효과적으로 제거할 수 있는 다단계 습식 처리 과정을 세정 단계로 도입하여 커패시터의 특성을 효과적으로 개선하는 방법을 제공한다.

<13> 상기 방법은 커패시터의 하부 금속 전극을 형성하는 단계와, 상기 하부 금속 전극 표면에 원하지 않게 존재할 수 있는 표면 산화층을 제거하기 위해 상기 하부 금속 전극 표면을 제1습식 처리하는 단계와, 상기 제1습식 처리 단계에 사용되는 식각액과 다른 식각액을 사용하여 상기 하부 금속 전극 표면에 원하지 않게 존재할 수 있는 표면 유기물을 제거하기 위해서 상기 하부 금속 전극 표면을 제2습식 처리하는 단계와, 상기 하부 금속 전극 상에 고유전 물질로 유전막을 형성하는 단계, 및 상기 유전막 상에 상부 금속 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<14> 이때, 상기 제1습식 처리 단계는 불산(HF), 랄(LAL), 표준 세정액1(SC1) 또는 이들의 조합을 포함하는 식각액으로 사용하고, 상기 제2습식 처리 단계는 상기 식각액과 다른 황산(H_2SO_4)을 포함하는 식각액을 사용할 수 있다.

<15> 또는, 상기 제1습식 처리 단계는 불산(HF), 랄(LAL), 표준 세정액1(SC1) 또는 이들의 조합을 포함하는 식각액을 사용하고, 상기 제2습식 처리 단계는 오존수를 포함하는 식각액을 사용할 수 있다.

<16> 또는, 상기 제1습식 처리 단계는 랄(LAL)을 포함하는 식각액을 사용하고, 상기 제2습식 처리 단계는 황산(H_2SO_4)을 포함하는 식각액을 사용할 수 있다.

<17> 또는, 상기 제1습식 처리 단계는 표준 세정액1(SC1)을 포함하는 식각액을 사용하고, 상기 제2습식 처리 단계는 황산(H_2SO_4)을 포함하는 식각액을 사용할 수 있다. 이때, 상기 표준 세정액(SC1)은 대략 30 내지 50°C 정도의 온도 범위에서 상기 식각액으로 사용될 수 있다.

<18> 또한, 상기 방법은 커패시터의 하부 금속 전극을 형성하는 단계와, 상기 하부 금속 전극 표면을 불산(HF)을 포함하는 식각액을 사용하여 제1습식 처리하는 단계와, 상기 제1습식 처리 이후에 상기 하부 금속 전극 표면을 랄(LAL)을 포함하는 식각액을 사용하여 제2습식 처리하는 단계와, 상기 하부 금속 전극 표면을 오존수를 포함하는 식각액을 사용하여 제3습식 처리하는 단계와, 상기 하부 금속 전극 상에 고유전 물질로 유전막을 형성하는 단계, 및 상기 유전막 상에 상부 금속 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<19> 상기 제1습식 처리하는 단계는 상기 불산(HF)을 대략 200:1 정도로 순수에 희석하여 상기 식각액으로 사용하여 대략 1 내지 10분 정도 수행될 수 있고, 이때, 상기 랄(LAL)을 사용하는 제2습식 처리하는 단계는 대략 5 내지 50초 정도 수행될 수 있다.

<20> 또한, 상기 방법은 커패시터의 하부 금속 전극을 형성하는 단계와, 상기 하부 금속 전극 표면을 불산(HF)을 포함하는 식각액을 사용하여 제1습식 처리하는 단계와, 상기 제1습식 처리 이후에 상기 하부 금속 전극 표면을 랄(LAL)을 포함하는 식각액을 사용하여 제2습식 처리하는 단계와, 상기 하부 금속 전극 표면을 황산(H_2SO_4)을 포함하는 식각액을 사용하여 제3습식 처리하는 단계와, 상기 하부 금속 전극 상에 고유전 물질로 유전막을 형성하는 단계, 및 상기 유전막 상에 상부 금속 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<21> 이때, 상기 제3습식 처리 단계는 상기 황산(H_2SO_4)에 과산화수소(H_2O_2)가 더 포함된 식각액을 사용하여 대략 70 내지 90°C 정도의 온도 범위에서 수행될 수 있다.

<22> 한편, 상기 하부 금속 전극은 질화 티타늄(TiN), 질화 탄탈륨(TaN) 또는 질화 텅스텐(WN), 백금(Pt) 또는 루테늄(Ru)을 포함하여 형성될 수 있고, 상기 상부 금속 전극은

질화 티타늄(TiN), 질화 탄탈륨(TaN), 질화 텅스텐(WN), 백금(Pt) 또는 루테늄(Ru)을 포함하여 형성될 수 있다. 예컨대, 상기 하부 금속 전극 및 상기 상부 금속 전극은 질화 티타늄을 포함하여 형성될 수 있다.

<23> 또한, 상기 하부 금속 전극을 형성하는 단계는 몰드(mold)층을 형성하는 단계와, 상기 몰드층을 패터닝하여 오목한 부위를 가지는 몰드를 형성하는 단계와, 상기 몰드의 오목한 부위의 프로파일을 따라 오목한 부분을 가지는 하부 금속 전극층을 형성하는 단계와, 상기 하부 금속 전극층의 오목한 부분을 메우는 희생층을 형성하는 단계와, 상기 희생층 및 상기 하부 금속 전극층을 상기 몰드층의 상측 표면이 노출되도록 평탄화하여 상기 하부 금속 전극층을 전극 분리하여 상기 하부 금속 전극을 형성하는 단계, 및 상기 희생층의 잔류하는 부분을 선택적으로 제거하는 단계를 포함하여 구성될 수 있다. 이때, 상기 전극 분리 단계는 적어도 상기 하부 금속 전극층을 화학 기계적 연마로 평탄화는 단계를 포함하여 구성될 수 있다.

<24> 본 발명에 따르면, 다단계 습식 처리를 하부 금속 전극 표면에 수행하여 하부 금속 전극과 유전막의 계면 특성을 개선할 수 있다. 이에 따라, MIM형 커패시터의 특성, 특히, 누설 전류 특성을 효과적으로 개선할 수 있다.

<25> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한

요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<26> 본 발명의 실시예들에서는 서로 다른 습식 식각액(wet etchant)을 이용한 다단계 습식 처리 과정을 MIM형 커패시터의 하부 금속 전극을 세정하는 과정으로 도입하여, 하부 금속 전극과 유전막의 계면 특성을 개선하고 이를 포함하여 구현되는 MIM형 커패시터 특성을 개선하는 방법을 제시한다.

<27> 커패시터의 유전막을 형성하기 이전에 하부 금속 전극의 표면을 습식 처리하는 과정은 서로 다른 습식 식각액을 이용한 다단계 습식 세정 또는 습식 처리 과정으로 도입되며, 이때 사용되는 습식 식각액들은 각기 서로 다른 목적으로 도입된다.

<28> 하부 금속 전극 표면에 발생하거나 존재할 수 있는 정크층은 주로 표면 산화층과 표면 유기물 또는 이전 공정 단계에서 발생된 파티클(particle) 등으로 구성될 수 있다. 따라서, 금속 전극 표면에 습식 처리를 위해서 도입되는 습식 식각액들의 조합은 표면 산화물, 표면 유기물 또는 파티클 등의 제거에 각각 효과적으로 작용할 수 있는 조합으로 구성될 수 있다. 또한, 일부 습식 식각액들은 특정 제거 대상물, 예컨대, 파티클 등의 제거에 탁월한 효과를 발현할 수 있으나 그에 따른 부작용, 예컨대, 물반점(water mark) 발생 등이 수반될 수 있다. 따라서, 이러한 부작용을 최대한 방지하며 우수한 세정 효과를 구현하기 위해서 서로 다른 습식 식각액들을 조합하여 다단계로 습식 처리 또는 세정을 수행하는 것이 유효하다.

<29> 본 발명의 실시예들을 구체적으로 설명하기 이전에 본 발명의 실시예들이 도입될 수 있는 반도체 소자의 커패시터 제조 과정을 먼저 개략적으로 기술한다. 이와 같이 예



시되는 커패시터 제조 과정에서 본 발명의 실시예들에 따르는 다단계 습식 처리 과정은 하부 금속 전극을 형성 단계와 유전막 형성 단계 사이에 도입된다.

<30> 1. 본 발명의 실시예들에 따른 커패시터 제조 과정에 대해서

<31> 도 1 내지 도 6은 본 발명의 실시예에 의한 반도체 소자의 커패시터 제조 과정을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<32> 도 1을 참조하면, 커패시터의 하부 전극에 3차원적인 형상을 부여하기 위한 몰드(mold)를 형성한다. 구체적으로, 하부의 반도체 기판(도시되지 않음)과 커패시터의 전기적인 연결을 위해서 도전성 콘택(150), 예컨대, 베리드 콘택(BC:Buried Contact)을 절연층(100)을 관통하도록 형성한다.

<33> 이후에, 전극 지지층(210)을 실리콘 산화물과 같은 절연 물질로 형성하고, 그 상에 실리콘 질화물과 같이 실리콘 산화물과 식각 선택비를 구현하는 물질로 식각 종료층(230)을 형성한다. 이러한 식각 종료층(230)은 몰드를 형성하기 위한 식각 과정에서 식각 제어를 위해서 도입된다. 식각 종료층(230) 상에 실질적으로 몰드를 구성할 몰드층(250)을 실리콘 산화물 등과 같은 절연 물질로 형성한다. 다음에, 몰드층(250)을 선택적으로 식각하여 하부의 도전성 콘택(150)을 노출하는 오프닝(opening:270)을 형성한다.

<34> 도 2를 참조하면, 오프닝(270)의 프로파일(profile)을 따라 증착되는 하부 금속 전극층(310)을 형성한다. 하부 금속 전극층(310)은 MIM형 커패시터를 구성하는 데 적절하도록 금속을 함유하는 도전 물질, 예컨대, 질화 티타늄(TiN), 질화 탄탈륨(TaN) 또는 질화 텉스텐(WN) 등과 같은 질화 금속층으로 형성되거나, 또는 백금(Pt), 루테늄(Ru)과 같은 귀금속 또는 이들의 도전성 산화물로 형성될 수 있다. 또는, 텉스텐 등과 같은 금속

으로 형성될 수도 있다. 그럼에도 불구하고, TiN, TaN 또는 WN 등과 같은 질화 금속으로 하부 금속 전극층(310)을 형성하는 것이 본 발명의 실시예들에서 제시하는 다단계 습식 처리의 효과를 구현하는 데 보다 유리하다.

<35> 하부 금속 전극층(310)을 도 2에 묘사된 바와 같이 오목하게 형성한 후, 이러한 오목한 부위를 채우는 희생층(400)을 형성한다. 이러한 희생층(400)은 하부 금속 전극층(310)을 전극 분리하는 과정에 도움을 주기 위해서 도입되며, 보다 용이하게 제거될 수 있는 물질로 형성된다. 예를 들어, 희생층(400)은 유동성 산화물(Fox) 또는 도핑되지 않은 실리케이트 유리질(USG) 등과 같이 몰드층(250) 보다 식각율이 매우 빠른 물질로 형성될 수 있다. 또는 희생층(400)은 포토레지스트 물질로도 형성될 수 있다.

<36> 도 3을 참조하면, 하부 금속 전극층(310)을 평탄화하여 전극 분리한다. 이때, 희생층(400)을 에치 백(etch back)하는 과정을 먼저 수행할 수 있으며, 희생층(400)이 실리콘 산화물인 경우 C_4F_6 과 같은 플루오린(fluorine)계열의 식각 가스를 사용하는 전면 에치 백을 이용할 수 있다. 또는, 산화물용 연마 슬러리(slurry)를 이용한 화학 기계적 연마(CMP:Chemical Mechanical Polishing)를 이용할 수 있다. 희생층(400)이 포토레지스트인 경우 산소 플라즈마(O_2 plasma) 또는 오존(O_3)이 포함된 가스를 식각 가스로 이용할 수 있다.

<37> 희생층(400)의 에치 백 또는 평탄화에 의해서 하부 금속 전극층(310)의 몰드층(250) 상에 존재하는 부분이 노출되면, 이러한 노출된 부분은 CMP 또는 건식 에치 백 등으로 선택적으로 제거하여 하부 금속 전극(311)들로 전극 분리한다.

<38> 도 4를 참조하면, 잔류하는 희생층(도 3의 400)을 선택적으로 제거한다. 이때, 습식 식각으로 잔류하는 희생층(400)을 제거하거나, 포토레지스트 물질로 희생층(400)이

이루어질 경우 산소 플라즈마나 오존 가스를 이용하여 선택적으로 희생층(400)을 제거한다.

<39> 도 5를 참조하면, 희생층(400)의 제거에 따라 노출되는 하부 금속 전극(311)의 표면을 다단계 습식 처리한다. 하부 금속 전극(311)의 표면에는 이전 공정 단계에서 발생된 오염물 또는 하부 금속 전극(311) 표면이 대기에 노출됨에 따라 발생되는 원하지 않는 자연 산화물(native oxide) 등과 같은 표면 산화층 등을 포함하는 정크층이 존재할 수 있다. 이러한 정크층은 커패시터의 특성을 열화시키는 요인으로 작용할 수 있으므로 최대한 제거하는 것이 요구된다. 이를 위해서, 본 발명의 실시예들에서는 다단계 습식 처리를 수행하여 하부 금속 전극(311)을 효과적으로 세정하는 바를 제시한다.

<40> 다단계 습식 처리를 각각의 단계에서 사용되는 습식 식각액(wet etchant)들은 각각 그 목적에 따라 선별적으로 선택될 수 있다. 정크층을 구성하는 요소들은 크게 표면 산화층과 표면 유기물로 구분될 수 있는데, 각각의 습식 식각액들은 이러한 표면 산화층의 제거 및 표면 유기물의 제거에 적합하도록 선택될 수 있다.

<41> 예를 들어, 표면 산화층은 대기 노출에 의한 자연 산화와 희생층(400)의 도입에 따른 하부 금속 전극(311) 표면 산화에 의해서 기인될 수 있으므로, 표면 산화층을 효과적으로 제거하는 데 도입되는 습식 식각액들은 HF, LAL($\text{NH}_4\text{F} + \text{HF} + \text{H}_2\text{O}$), SC1(Standard Cleaning 1) 또는 이들의 조합일 수 있다.

<42> HF의 경우 HF는 순수(DIW)에 대략 200:1 정도로 희석되어 사용될 수 있고 이때 대략 1 - 10분 정도 시간 동안 습식 세정 또는 식각 과정이 수행될 수 있다. LAL은 NH_4F 와 HF가 혼합된 식각액이 순수(H_2O)에 희석된 것으로 대략 5 - 55초 정도 시간 동안 사용될 수 있다. SC1은 NH

OH_4 로 처리한 후 H_2O_2 를 이용하여 습식 식각하는 것을 의미하며 하부 금속 전극(311)이 TiN일 경우 TiN을 녹일 수 있으므로 대략 1-10분 가량 대략 30 - 50°C, 바람직하게는 대략 40°C 정도의 저온에서 습식 식각 또는 세정 과정을 수행할 수 있다. 이러한 식각액들은 모두 적정 비율로 순수에 희석되어 사용되는 것이 바람직하다. 예를 들어, SC1의 경우 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 의 비율을 1: 1: 5일 수 있다.

<43> 한편, 이러한 습식 식각액들에 의해서 하부 금속 전극(311)의 표면에 존재하는 파티클 또한 제거될 수 있다. 파티클은 반도체 소자 또는 칩(chip)의 수율에 매우 밀접하게 관련되는 요소이다. 따라서, 이러한 습식 식각액들을 특정하게 조합함으로써 파티클 제거 효과를 크게 증가시킬 수도 있다. 이에 대해서 이후에 다시 더욱 구체적으로 설명한다.

<44> 한편, 앞서 설명한 바와 같이 정크층은 이러한 표면 산화층뿐만 아니라 표면 유기물(또는 오염물) 등을 포함할 수도 있다. 이러한 표면 유기물을 효과적으로 제거하기 위해서, 상기한 바와 같은 표면 산화층을 제거한 후 다른 습식 식각액들, 예컨대, H_2SO_4 또는 오존수를 이용하여 다시 하부 금속 전극(311)의 표면을 습식 식각 또는 습식 세정하는 단계를 더 수행한다.

<45> H_2SO_4 를 이용할 경우 H_2SO_4 에 H_2O_2 를 더 첨가할 수 있다. 물론, 순수에 희석한 상태로 습식 세정에 이용된다. H_2SO_4 에 H_2O_2 를 더 첨가할 경우 산소 반응기(0-)가 탄소(C)와 결합하여 CO_2 형태로 될 수 있으므로 유기물 제거에 도움이 될 수 있다. 이러한 H_2SO_4 또는 오존수에 의한 처리는 고온에서 수행될 경우 금속에 심한 침해(attack)를 줄 수 있

으므로, 대략 100°C 이하 온도, 바람직하게는 대략 70 - 90°C 온도 정도에서 수행되는 것이 바람직하다.

<46> 이러한 다단계 습식 처리는 상기한 바와 같이 표면 산화층에 대한 처리 과정 후에 표면 유기물에 대한 처리 과정을 수행할 수도 있지만 그 반대 순서로도 진행할 수 있다.

<47> 다시 개략적으로 정리하면, 본 발명의 실시예에 따른 다단계 습식 처리 과정은 서로 다른 습식 식각액들을 조합하여 사용한다. 그 대표적인 조합을 정리하면, HF, LAL, SC1 또는 이들의 조합을 이용하여 1차 습식 처리한 후 2차 습식 처리를 오존수로 하는 제1경우, LAL을 이용하여 1차 습식 처리한 후 2차 습식 처리를 H_2SO_4 를 이용하여 하는 제2경우, HF를 이용하여 1차 습식 처리한 후 2차 습식 처리로 LAL을 이용하고 3차 습식 처리로 H_2SO_4 를 이용하는 제3경우, HF를 이용하여 1차 습식 처리한 후 2차 습식 처리로 LAL을 이용하고 3차 습식 처리로 오존수를 이용하는 제4경우, SC1을 이용하여 1차 습식 처리한 후 2차 습식 처리를 H_2SO_4 를 이용하는 제5경우가 하부 금속 전극(311)의 표면을 습식 처리하는 데 유용하다.

<48> 도 6을 참조하면, 하부 금속 전극(311)을 다단계 습식 처리한 후, 하부 금속 전극(311) 상에 유전막(330) 및 상부 전극(350)을 형성하여 커패시터를 완성한다. 유전막(330)은 탄탈륨 산화물(Ta_2O_5), 알루미늄 산화물(Al_2O_3), 하프늄 산화물(HfO_2), 란탄늄 산화물(LaO_2), 지르코늄 산화물(ZrO_2), 티타늄 산화물(TiO_2), PZT, BST, ST, SBT 등과 같은 고유전 물질 또는 그 조합으로 형성될 수 있다. 이러한 고유전 물질의 증착은 CVD, PVD 또는 ALD(Atomic Layered Deposition) 등으로 수행될 수 있다. 이후에 산화 분위기에서의 어닐링(annealing)과 같은 열처리 과정이 추가적으로 수행될 수 있다.

<49> 이후에, 유전막(330) 상에 금속을 함유하는 도전 물질, 예컨대, 질화 티타늄(TiN), 질화 탄탈륨(TaN) 또는 질화 텅스텐(WN) 등과 같은 질화 금속층으로 형성되거나, 또는 백금(Pt), 루테늄(Ru)과 같은 귀금속 또는 이들의 도전성 산화물을 이용하여 상부 전극(350)을 형성한다.

<50> 2. 본 발명의 실시예들에 따른 습식 처리 과정에 의한 효과들에 대해서

<51> 도 7은 본 발명의 실시예에 따라 HF를 이용한 1차 습식 처리 후 H_2SO_4 를 이용한 2차 습식 처리에 의한 누설 전류 개선 효과를 설명하기 위해서 개략적으로 도시한 그래프이다.

<52> 도 7을 참조하면, HF 습식 처리를 한 경우(710)에 측정된 커패시터의 누설 전류에 비해, HF를 이용한 1차 습식 처리 후 H_2SO_4 를 이용한 2차 습식 처리를 수행한 경우(750)에 측정된 커패시터의 누설 전류는 1 승(order) 이상 개선됨을 알 수 있다. 이는 하부 전극과 유전막 간의 계면 특성이 개선되었음을 보여준다. 특히, 도 7의 결과는 H_2SO_4 를 이용한 2차 습식 처리를 도입함으로써 유기물의 제거가 효과적으로 구현되었음을 보여준다.

<53> 도 8은 본 발명의 실시예에 따라 H_2SO_4 를 이용한 습식 처리에 의한 누설 전류 개선 효과를 설명하기 위해서 개략적으로 도시한 그래프이다.

<54> 도 8에 도시된 결과는 TiN(하부 전극)/스플릿(split)/ Ta_2O_5 (60Å)/ O_3 어닐링(annealing)/ Ta_2O_5 (60Å)/ O_3 어닐링/TiN(상부 전극)로 형성된 시편 커패시터에 대해서 측정되었다. 습식 처리는 H_2SO_4 를 이용한 습식 처리에 대한 스플릿으로 수행되었다. 도 8

의 결과는 습식 처리를 수행하지 않은 경우(810)에 측정된 커패시터의 누설 전류에 비해, H_2SO_4 를 이용한 습식 처리를 대략 20분 정도 수행한 경우(850)에 측정된 커패시터의 누설 전류는 대략 1 승 정도 개선됨을 보여준다.

<55> 도 9는 본 발명의 실시예에 따라 오존수를 이용한 습식 처리에 의한 누설 전류 개선 효과를 설명하기 위해서 개략적으로 도시한 그래프이다.

<56> 도 9에 도시된 결과는 TiN (하부 전극)/스플릿(split)/ Ta_2O_5 (60Å)/ O_3 어닐링(annealing)/ Ta_2O_5 (60Å)/ O_3 어닐링/ TiN (상부 전극)로 형성된 시편 커패시터에 대해서 측정되었다. 습식 처리는 오존수를 이용한 습식 처리에 대한 스플릿으로 수행되었다. 도 9의 결과는 습식 처리를 수행하지 않은 경우(910)에 측정된 커패시터의 누설 전류에 비해, 오존수를 대략 습식 처리를 대략 180초 정도 수행한 경우(950)에 측정된 커패시터의 누설 전류는 대략 1 승 정도 개선됨을 보여준다.

<57> 도 8 및 도 9를 함께 살펴보면, 오존수를 이용하여 습식 처리하는 경우 H_2SO_4 를 이용한 습식 처리를 수행하는 경우에 대해서 적어도 대등한 효과를 구현할 수 있음을 알 수 있다. 그럼에도 불구하고, 습식 처리를 수행한 시간을 고려하면, 오존수를 이용하는 것이 반도체 소자의 양산에 보다 효과적임을 알 수 있다. 또한, H_2SO_4 를 이용한 경우 사용된 폐 H_2SO_4 를 처리하는 문제가 크게 야기될 수 있는 데 비해 오존수를 이용하는 경우 보다 친환경적일 수 있다. 따라서, 오존수를 이용하는 경우가 보다 반도체 소자 제조에 바람직하다.

<58> 이러한 H_2SO_4 또는 오존수를 이용하는 습식 처리의 효과는 하부 금속 전극 표면에 존재할 수 있는 표면 유기물의 제거로 이해될 수 있으며, 또한, 이러한 H_2SO_4 또는 오존

수의 처리에 의해서 하부 금속 전극 표면에 생성될 수 있는 활성층인 화학적 산화층 (chemical oxide)이 형성되는 데 기인되는 효과로 이해될 수 있다.

<59> 이러한 도 7 내지 도 9에 제시된 바들은 본 발명의 실시예에서 제시된 다단계 습식 처리에 H_2SO_4 나 오존수에 의한 습식 처리를 도입하는 것이 커패시터의 특성 개선에 보다 효과적임을 입증하고 있다. 그럼에도 불구하고, 이러한 커패시터 특성에 영향을 미치는 요소들은 하부 금속 전극의 표면에 존재할 수 있는 표면 유기물이나 표면 산화층에 국한되는 것은 아니다. 예를 들어, 파티클의 존재 또한 이러한 커패시터의 특성을 열화시키는 주요 요인으로 이해되고 있다.

<60> 파티클의 발생은 특히 하부 금속 전극을 분리하는 과정 중에 CMP를 도입하는 경우 크게 문제될 수 있다. 이러한 CMP의 도입은 희생층(도 2 및 3의 400)의 평탄화 또는 에치 백을 위해서 또는/ 및 하부 금속 전극층(도 2의 310)의 분리를 위해서 도입되는 추세이다. 그런데, 이러한 CMP의 도입은 연마 슬러리 및 연마에 따른 부산물에 의한 파티클의 발생을 필연적으로 수반하게 된다. 따라서, 하부 금속 전극의 다단계 습식 처리는 이러한 파티클의 제거에도 그 목적을 두어야한다.

<61> 하부 금속 전극 표면에 존재할 수 있는 표면 산화층 등의 제거에는 상술한 바와 같이 SC1이나 HF 등이 유효할 수 있으나, 파티클의 제거 측면에는 특히 LAL이, 실험적인 결과로 볼 때, 효과적이다. HF를 이용하는 경우 자연 산화층과 같은 표면 산화층을 제거하는 데는 유효하나 파티클의 제거에는 보다 덜 유용할 수 있다. 이는 다음의 도 10의 사진으로 입증된다.

<62> 도 10은 HF 습식 처리 결과에 대한 주사 전자 현미경(SEM) 사진을 보여준다.



<63> 도 11은 LAL 습식 처리 결과에 대한 주사 전자 현미경 사진을 보여준다.

<64> 도 10 및 도 11은 커패시터를 형성하는 과정에서 하부 금속 전극을 형성한 후에 습식 처리를 한 결과에 대한 사진들이다. 먼저, HF 습식 처리를 수행한 경우 도 10에 제시된 바와 같이 파티클이 습식 처리 후에도 잔존할 수 있음을 알 수 있다. 이에 반해 도 11에 제시된 바와 같이 LAL 습식 처리를 도입한 경우에는 파티클이 실질적으로 모두 효과적으로 제거될 수 있다.

<65> 따라서, 파티클 제거의 측면에서 볼 때 LAL 습식 처리를 본 발명의 실시예들에서 제시하는 다단계 습식 처리에 도입하는 것이 바람직하다.

<66> 그럼에도 불구하고, LAL 습식 처리는 경우에 따라 다소의 부작용, 예컨대, 물반점 (water mark)의 발생 등을 수반할 수 있다.

<67> 도 12는 LAL 습식 처리 결과에 대한 광학 사진을 보여준다.

<68> 도 12를 참조하면, LAL 습식 처리의 경우 특별한 조치를 취하지 않을 경우 경우에 따라 습식 처리 후 건조된 상태에서 도 12에 보여지는 바와 같이 물반점이 종종 발생할 수 있다. 이러한 물반점은 반도체 소자의 수율 제고에 악영향을 미치므로 이러한 물반점의 발생은 방지되어야 한다.

<69> 여러 실험적인 시도를 거듭한 결과, 이러한 LAL 습식 처리에 의한 물반점 발생은 LAL 습식 처리 이전에 HF 습식 처리를 수행할 경우 효과적으로 방지될 수 있다. 따라서, 파티클의 발생이 크게 문제가 되는 경우, 예를 들어, 희생층(400)의 평탄화 또는 하부 금속 전극층(310)의 전극 분리 과정에 CMP를 도입하는 경우에 하부 금속 전극에의 다단

계 습식 처리는 HF 습식 처리 후에 LAL 습식 처리를 포함하도록 구성하는 것이 바람직하다.

<70> 이제까지 도 7 내지 도 12에 제시된 실험적인 결과들로부터 구현될 수 있는 본 발명의 바람직한 실시예는 다음의 도 13에 제시되는 바와 같은 공정 흐름으로 진행될 수 있다.

<71> 도 13은 본 발명의 바람직한 실시예에 의한 다단계 습식 처리 과정을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

<72> 도 13을 참조하면, 하부 금속 전극을 형성한 후(1310), 다단계 습식 처리 과정의 일부로 우선적으로 HF 습식 처리(1320)를 수행한다. HF 습식 처리는 HF를 대략 200: 1 정도로 순수에 희석하여 대략 1 - 10분 정도 진행한다. 이러한 HF 습식 처리는 주로 하부 금속 전극에 발생된 원하지 않는 자연 산화층 등과 같은 표면 산화층을 제거할 목적으로 도입된다.

<73> 이후에, LAL 습식 처리를 수행한다(1330). LAL 습식 처리는 NH_4F 와 HF가 혼합된 용액이며 순수에 희석되어 사용된다. 이때 LAL 습식 처리는 대략 5 - 50초 정도 진행된다. LAL 습식 처리는 상기한 바와 같은 표면 산화층의 제거뿐만 아니라 파티클의 효과적인 제거를 주목적으로 도입된다. 이때, LAL 습식 처리에 수반될 수 있는 물반점 발생은 앞서의 HF 습식 처리(1320)에 의해서 효과적으로 방지된다.

<74> 이후에, 오존수 습식 처리를 수행한다(1340). 오존수 습식 처리는 H_2SO_4 습식 처리(이 경우 H_2O_2 가 첨가될 수 있으며 순수에 희석된 상태로 사용된다.)로 대체될 수 있으나, 앞서 설명한 바와 같이 오존수 습식 처리가 보다 유용한 면들이 더 있다. 이러

한 오존수 습식 처리(1340)(또는 H_2SO_4 습식 처리)는 원하지 않는 표면 유기물을 금속 전극 표면으로부터 제거할 목적으로 도입되며, 또한, 부가적으로 금속 전극 표면에 활성 인 화학적 산화층을 발생시킬 목적으로 도입된다. 화학적 산화층의 존재는 유전막을 고유전 물질로 도입할 경우 이러한 고유전 물질의 유전막의 특성을 개선하는 데 유용하다.

<75> 이와 같이 다단계 습식 처리를 수행한 후 유전막을 형성한다(1350).

<76> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<77> 상술한 본 발명에 따르면, 다단계 습식 처리를 하부 금속 전극 표면에 수행하여 하부 금속 전극과 유전막의 계면 특성을 개선할 수 있다. 이에 따라, MIM형 커패시터의 특성, 특히, 누설 전류 특성을 효과적으로 개선할 수 있다.

【특허청구범위】**【청구항 1】**

커패시터의 하부 금속 전극을 형성하는 단계;

상기 하부 금속 전극 표면에 원하지 않게 존재할 수 있는 표면 산화층을 제거하기

위해 상기 하부 금속 전극 표면을 제1습식 처리하는 단계;

상기 제1습식 처리 단계에 사용되는 식각액과 다른 식각액을 사용하여 상기 하부
금속 전극 표면에 원하지 않게 존재할 수 있는 표면 유기물을 제거하기 위해서 상기 하
부 금속 전극 표면을 제2습식 처리하는 단계;

상기 하부 금속 전극 상에 고유전 물질로 유전막을 형성하는 단계; 및

상기 유전막 상에 상부 금속 전극을 형성하는 단계를 포함하는 것을 특징으로 하는
커패시터 제조 방법.

【청구항 2】

제1항에 있어서,

상기 하부 금속 전극은 질화 티타늄(TiN), 질화 탄탈륨(TaN) 또는 질화 텅스텐
(WN), 백금(Pt) 또는 루테늄(Ru)을 포함하여 형성되고,

상기 상부 금속 전극은 질화 티타늄(TiN), 질화 탄탈륨(TaN), 질화 텅스텐(WN), 백
금(Pt) 또는 루테늄(Ru)을 포함하여 형성되는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 3】

제1항에 있어서,

상기 하부 금속 전극 및 상기 상부 금속 전극은 질화 티타늄을 포함하여 형성되는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 4】

제1항에 있어서, 상기 제1습식 처리 단계는
불산(HF), 랄(LAL), 표준 세정액1(SC1) 또는 이들의 조합을 포함하는 식각액으로 사용하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 5】

제4항에 있어서, 상기 제2습식 처리 단계는
상기 식각액과 다른 황산(H_2SO_4)을 포함하는 식각액을 사용하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 6】

제5항에 있어서, 상기 제2습식 처리 단계는
상기 황산(H_2SO_4)에 과산화수소(H_2O_2)가 더 포함된 식각액을 사용하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 7】

제4항에 있어서, 상기 제2습식 처리 단계는
상기 식각액과 다른 오존수를 포함하는 식각액을 사용하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 8】

제1항에 있어서,

상기 제1습식 처리 단계는 불산(HF), 랄(LAL), 표준 세정액1(SC1) 또는 이들의 조합을 포함하는 식각액을 사용하고, 상기 제2습식 처리 단계는 오존수를 포함하는 식각액을 사용하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 9】

제1항에 있어서,

상기 제1습식 처리 단계는 랄(LAL)을 포함하는 식각액을 사용하고, 상기 제2습식 처리 단계는 황산(H_2SO_4)을 포함하는 식각액을 사용하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 10】

제1항에 있어서,

상기 제1습식 처리 단계는 표준 세정액1(SC1)을 포함하는 식각액을 사용하고, 상기 제2습식 처리 단계는 황산(H_2SO_4)을 포함하는 식각액을 사용하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 11】

제10항에 있어서,

상기 표준 세정액(SC1)은 대략 30 내지 50°C 정도의 온도 범위에서 상기 식각액으로 사용되는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 12】

커패시터의 하부 금속 전극을 형성하는 단계;

상기 하부 금속 전극 표면을 불산(HF)을 포함하는 식각액을 사용하여 제1습식 처리하는 단계;

상기 제1습식 처리 이후에 상기 하부 금속 전극 표면을 랄(LAL)을 포함하는 식각액을 사용하여 제2습식 처리하는 단계;

상기 하부 금속 전극 표면을 오존수를 포함하는 식각액을 사용하여 제3습식 처리하는 단계;

상기 하부 금속 전극 상에 고유전 물질로 유전막을 형성하는 단계; 및

상기 유전막 상에 상부 금속 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 13】

제12항에 있어서,

상기 하부 금속 전극 및 상기 상부 금속 전극은 질화 티타늄을 포함하여 형성되는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 14】

제12항에 있어서, 상기 하부 금속 전극을 형성하는 단계는

몰드 (mold)층을 형성하는 단계;

상기 몰드층을 패터닝하여 오목한 부위를 가지는 몰드를 형성하는 단계;

상기 몰드의 오목한 부위의 프로파일을 따라 오목한 부분을 가지는 하부 금속 전극층을 형성하는 단계;

상기 하부 금속 전극층의 오목한 부분을 메우는 희생층을 형성하는 단계;

상기 희생층 및 상기 하부 금속 전극층을 상기 몰드층의 상측 표면이 노출되도록 평탄화하여 상기 하부 금속 전극층을 전극 분리하여 상기 하부 금속 전극을 형성하는 단계; 및

상기 희생층의 잔류하는 부분을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 15】

제14항에 있어서, 상기 전극 분리 단계는 적어도 상기 하부 금속 전극층을 화학 기계적 연마로 평탄화는 단계를 포함하는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 16】

제12항에 있어서, 상기 제1습식 처리하는 단계는 상기 불산(HF)을 대략 200:1 정도로 순수에 희석하여 상기 식각액으로 사용하며 대략 1 내지 10분 정도 수행되는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 17】

제12항에 있어서, 상기 제2습식 처리하는 단계는 대략 5 내지 50초 정도 수행되는 것을 특징으로 하는 커패시터 제조 방법.

【청구항 18】

커패시터의 하부 금속 전극을 형성하는 단계;

상기 하부 금속 전극 표면을 불산(HF)을 포함하는 식각액을 사용하여 제1습식 처리하는 단계;

상기 제1습식 처리 이후에 상기 하부 금속 전극 표면을 랄(LAL)을 포함하는 식각액을 사용하여 제2습식 처리하는 단계;

상기 하부 금속 전극 표면을 황산(H_2SO_4)을 포함하는 식각액을 사용하여 제3습식 처리하는 단계;

상기 하부 금속 전극 상에 고유전 물질로 유전막을 형성하는 단계; 및
상기 유전막 상에 상부 금속 전극을 형성하는 단계를 포함하는 것을 특징으로 하는
커패시터 제조 방법.

【청구항 19】

제18항에 있어서,

상기 하부 금속 전극 및 상기 상부 금속 전극은 질화 티타늄을 포함하여 형성되는
것을 특징으로 하는 커패시터 제조 방법.

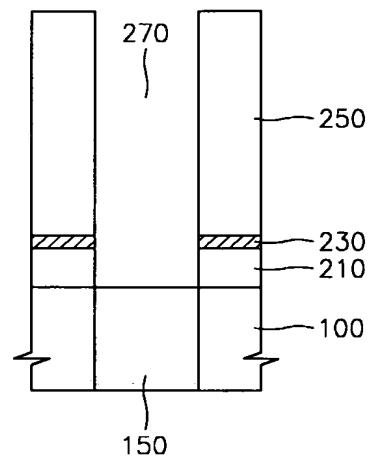
【청구항 20】

제18항에 있어서,

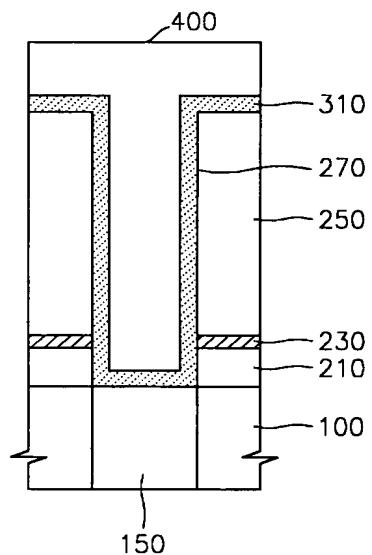
상기 제3습식 처리 단계는 상기 황산(H_2SO_4)에 과산화수소(H_2O_2)가 더 포함된 식각
액을 사용하여 대략 70 내지 90°C 정도의 온도 범위에서 수행되는 것을 특징으로 하는
커패시터 제조 방법.

【도면】

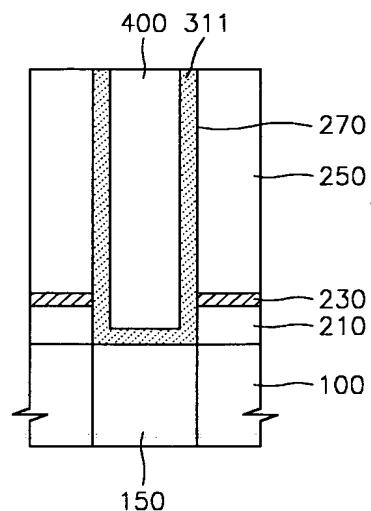
【도 1】



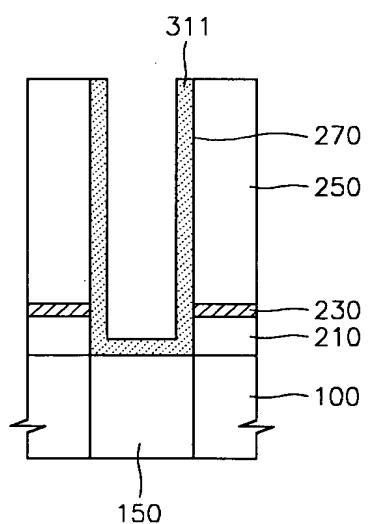
【도 2】



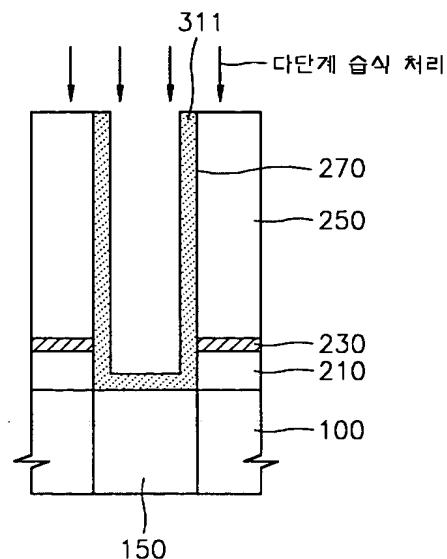
【도 3】



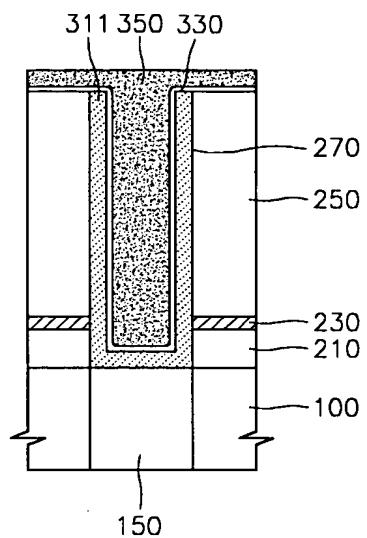
【도 4】



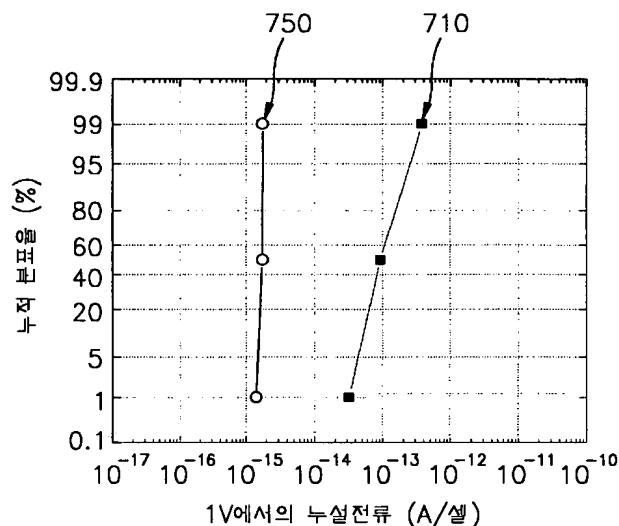
【도 5】



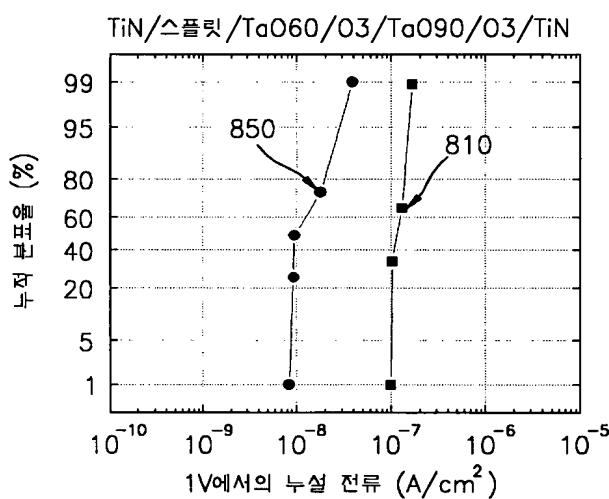
【도 6】



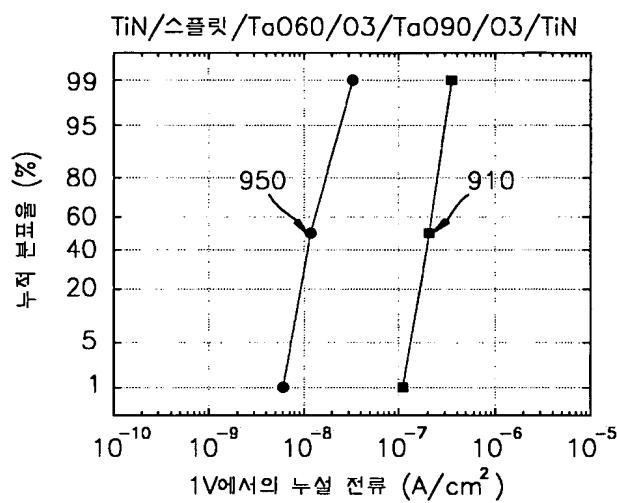
【도 7】



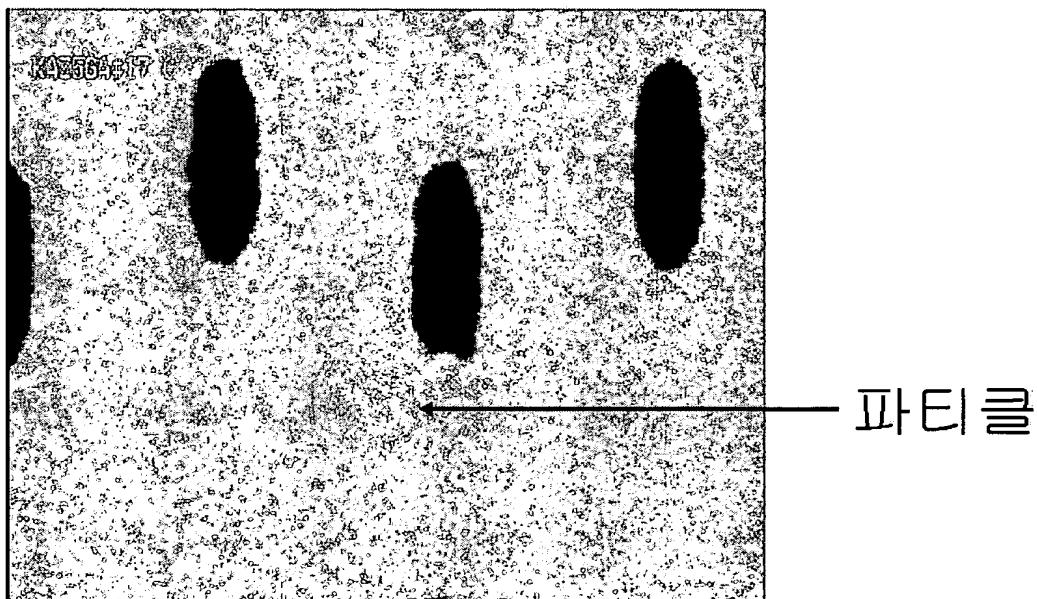
【도 8】



【도 9】



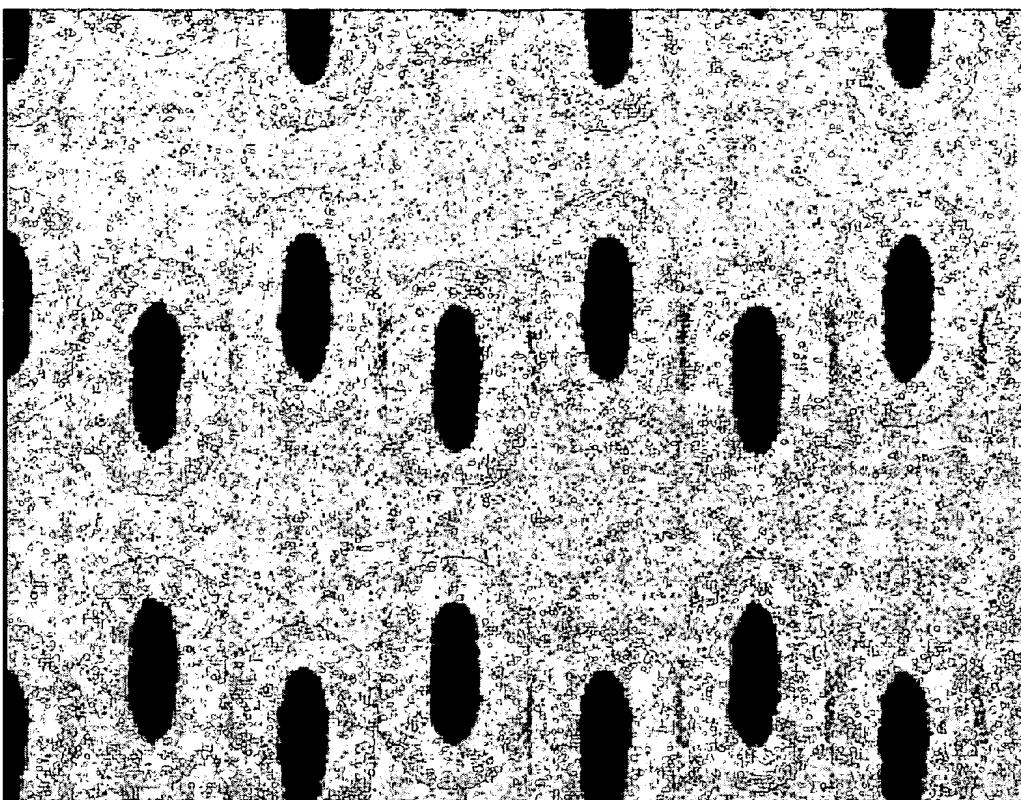
【도 10】



1020030012326

출력 일자: 2003/7/16

【도 11】



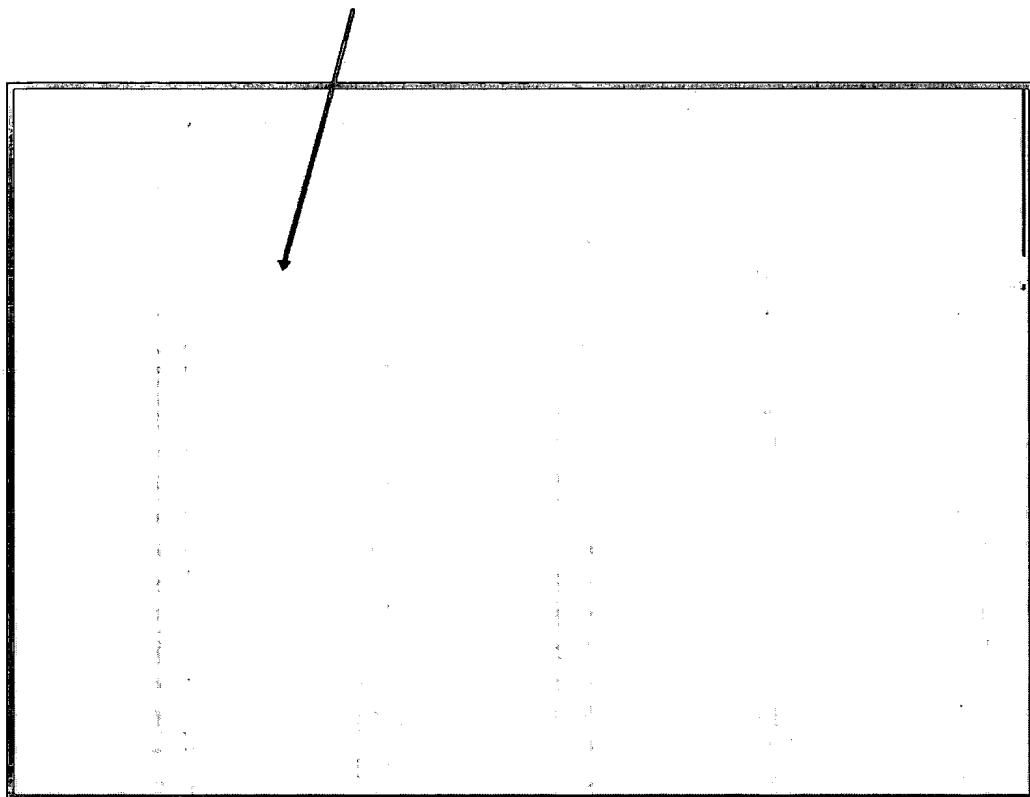


1020030012326

출력 일자: 2003/7/16

【도 12】

물반점



【도 13】

